

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-113826

(43)Date of publication of application : 02.05.1995

(51)Int.Cl.

G01R 19/00

G05F 1/56

G05F 3/26

H03F 3/343

H03F 3/345

(21)Application number : 05-281961

(71)Applicant : NIPPON MOTOROLA LTD

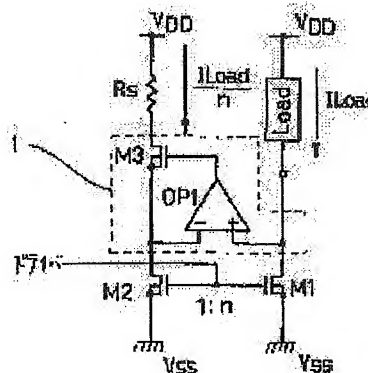
(22)Date of filing : 15.10.1993

(72)Inventor : OKADA KOTARO  
UCHIUMI SHUNICHI**(54) SEMICONDUCTOR INTEGRATED CIRCUIT APPARATUS FOR DETECTING LOAD CURRENT WITHOUT LOSS**

(57)Abstract:

**PURPOSE:** To detect a load current with an excellent accuracy without any loss and without interposing a sense resistance on a course of the load current and to switch a gain easily in accordance with a size of the load current when the load current is to be detected.

**CONSTITUTION:** There are provided a power MOS.FETM1 for controlling a load current, a power MOS.FETM2 for sensing a current which reflects a current running in the FETM1 to a small current with a constant ratio, and a feedback circuit 1 for making a terminal voltage at the FETM1 and FETM2 constant. A current is detected by the FETM2. Moreover, a current mirror circuit for reflecting a current running in the power MOS.FETM2 to a small current with a constant ratio and a switch for turning OFF/ON part of the current mirror circuit so as to vary the constant ratio are further set in the apparatus, so that a gain of a detecting current is switchable.

**LEGAL STATUS**

[Date of request for examination] 23.10.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3080823

[Date of registration] 23.06.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-113826

(43)公開日 平成7年(1995)5月2日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 19/00		B		
G 0 5 F 1/56	3 1 0 S	4237-5H		
	3/26			
H 0 3 F 3/343	A	8124-5J		
3/345	B	8124-5J		

審査請求 未請求 請求項の数2 F D (全 6 頁)

(21)出願番号 特願平5-281961

(22)出願日 平成5年(1993)10月15日

(71)出願人 000230308

日本モトローラ株式会社

東京都港区南麻布3丁目20番1号

(72)発明者 岡田 耕太郎

東京都港区南麻布3丁目20番1号 日本モ  
トローラ株式会社内

(72)発明者 内海 俊一

東京都港区南麻布3丁目20番1号 日本モ  
トローラ株式会社内

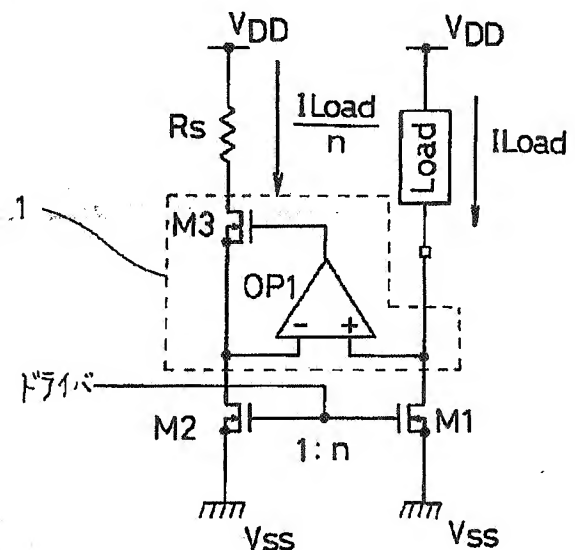
(74)代理人 弁理士 井上 俊夫

(54)【発明の名称】 負荷電流を無損失で検出する半導体集積回路装置

(57)【要約】

【目的】 負荷電流の経路上にセンス抵抗を介挿することなく、無損失で精度よく負荷電流を検出することができること。負荷電流を検出する際に負荷電流の大きさに応じてゲインを容易に切り替えることができること。

【構成】 負荷電流制御用パワー・MOS・FET (M1) と、このFET (M1) に流れる電流を一定の比率で小電流にミラーする電流センス用パワー・MOS・FET (M2) と、これら2つのFET (M1、M2) の端子電圧を一定にするためのフィードバック回路とを設けて、FET (M2) により電流検出する。電流センス用パワー・MOS・FET (M2) に流れる電流をさらに一定の比率で小電流にミラーする電流ミラー回路と、当該比率を変換するために電流ミラー回路の一部をオン・オフするスイッチとを設けて、検出電流のゲインを切り替え可能にする。



(2)

## 【特許請求の範囲】

【請求項1】 インテリジェント・パワー・MOS・ICにおいて、負荷電流を制御するためのパワー・MOS・FET (M1) と、このパワー・MOS・FET (M1) に流れる電流を一定の比率で小電流にミラーする電流センス用パワー・MOS・FET (M2) と、これら2つのパワー・MOS・FETの端子電圧を一定にするためのフィードバック回路とを備えたことを特徴とする負荷電流を無損失で検出する半導体集積回路装置。

【請求項2】 請求項1の半導体集積回路装置において、電流センス用パワー・MOS・FET (M2) に流れる電流をさらに一定の比率で小電流にミラーする電流ミラー回路と、当該比率を可変にするために前記電流ミラー回路の一部をオン・オフするスイッチとを設けたことを特徴とする負荷電流を無損失で検出する半導体集積回路装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、インテリジェント・パワー・MOS・ICにおいて、負荷電流を無損失で検出する半導体集積回路装置に関する。本発明の半導体集積回路装置は、例えばハードディスクドライブ (HDD) 用3相スピンドルモータドライバやボイスコイルモータドライバ、その他パワー・MOS・ICの切替えにより負荷を駆動するためのドライバIC等に適用することができる。

【0002】

【従来の技術】 例えばモータ等の負荷に流れる電流を検出する手段としては、従来、図7や図8に示す装置が知られている。図7の装置では、負荷 (Load) に流れる負荷電流  $I_{Load}$  のアース側の経路上に精度の良いセンス抵抗  $R_s$  を介挿し、その両端の電圧  $V_{RSH}$ 、 $V_{RSL}$  を取り出すことにより、 $I_{Load} = (V_{RSH} - V_{RSL}) / R_s$  の計算式に基づいて、負荷電流  $I_{Load}$  を検出している。 $V_{DD}$  は電源電圧である。

【0003】 図8の装置は、センス抵抗  $R_s$  を電源電圧  $V_{DD}$  側の経路上に設けたほかは図7の装置と同様の構成である。これらの図7及び図8において、M1はNチャネル・パワー・MOS・FETを示し、このパワー・MOS・FET (M1) は、負荷 (Load) に流れる電流のオン/オフ又は大小を制御するためのインテリジェント・パワー・MOS・ICに内蔵される。

【0004】 一方、負荷電流を無損失で検出する装置としては、図9に示す装置が知られている。この図9の装置は、SENSEFET (モトローラ社の商品名) と称されるものであり、パワー・MOS・FET (F) がパワー部F1とセンス部F2に分割され、センス部F2のオン抵抗とパワー部F1のオン抵抗とが一定の比率で関係づけられている。そのため、SENSEFET (F) がターンオンすると、電流の流れはセンス部F2のオン

2

抵抗とパワー部F1のオン抵抗に反比例して分割され、センス電流 (ミラー電流)  $I_M$  とソース電流  $I_S$  の比率となって現れる。ソース電流  $I_S$  とセンス電流  $I_M$  の比は、電流ミラー比  $n$  で規定され、この  $n$  は通常は1000対1のオーダーとされるため、負荷電流はほぼソース電流  $I_S$  に等しく、電流ミラー比  $n$  も負荷電流とセンス電流  $I_M$  の比率を反映したものとなる。

【0005】 従って、センス抵抗  $R$  をミラー端子91とアース端子間に接続することにより、負荷電流の既知部分は、図7や図8のようにパワー・センス抵抗  $R_s$  を使用するときのような大きな電圧損失を生ずることなく電流検出することができる。このセンス抵抗  $R$  がセンス部F2のオン抵抗の10%以下であれば検出される電流は、ほぼ負荷電流÷電流ミラー比、即ち  $I_{Load}/n$  となる。92はソース端子である。

【0006】

【発明が解決しようとする課題】 しかし、図7や図8の従来の装置では、負荷 (Load) を高い効率で駆動するためには、その負荷の両端に十分な電圧を印加することが必要とされるが、パワー・センス抵抗  $R_s$  における電圧降下分の損失が生じ、負荷を駆動する効率が低下してしまうという問題がある。特に、電源電圧  $V_{DD}$  が低電圧である場合や負荷電流  $I_{Load}$  を大きくとりたい場合、又はその両方である場合には、パワー・センス抵抗  $R_s$  での電圧損失の占める割合が大きくなるため、負荷駆動効率の低下が顕著となり、負荷の性能によっては駆動が不可能となる場合もある。

【0007】 一方、図9の装置では、電流ミラー比  $n$  を正確にするためには、センス抵抗  $R$  をセンス部F2のオン抵抗の10%以下と十分に小さくする必要があるが、そのため取り出し可能なセンス電圧が小さくなり検出しにくいという問題がある。逆に、十分に大きなセンス電圧を取り出そうとすると、センス抵抗  $R$  を大きくする必要があるが、この場合は電流ミラー比  $n$  が不正確になる問題がある。

【0008】 また、図7や図8の装置でモータをドライブする場合には、回転起動時には定常回転時よりも大きな負荷電流を流すため、負荷電流を電圧に変換して検出する際に回転起動時と定常回転時のそれぞれに流れる負荷電流の大きさに応じてゲインを変えたい場合に、パワー・センス抵抗  $R_s$  を切り替える必要が生じ、自由度が低いという問題もある。図9の装置においても同様の問題がある。

【0009】 そこで、本発明の第1の目的は、負荷電流の経路上にセンス抵抗を介挿することなく、無損失で精度よく負荷電流を検出することができる半導体集積回路装置を提供することにある。本発明の第2の目的は、負荷電流を検出する際に負荷電流の大きさに応じてゲインを容易に切り替えることができる半導体集積回路装置を提供することにある。

(3)

3

【0010】

【課題を解決するための手段】請求項1の半導体集積回路装置は、インテリジェント・パワー・MOS・ICにおいて、負荷電流を制御するためのパワー・MOS・FET (M1) と、このパワー・MOS・FET (M1) に流れる電流を一定の比率で小電流にミラーする電流センス用パワー・MOS・FET (M2) と、これら2つのパワー・MOS・FETの端子電圧を一定にするためのフィードバック回路とを備えたことを特徴とする。

【0011】請求項2の半導体集積回路装置は、請求項1において、電流センス用パワー・MOS・FET (M2) に流れる電流をさらに一定の比率で小電流にミラーする電流ミラー回路と、当該比率を可変にするために前記電流ミラー回路の一部をオン・オフするスイッチとを設けたことを特徴とする。

【0012】

【作用】請求項1の装置では、フィードバック回路により2つのパワー・MOS・FET (M1、M2) の端子電圧が一定化される。従って、負荷電流制御用パワー・MOS・FET (M1) から電流センス用パワー・MOS・FET (M2) にミラーされる電流がFET (M1) とFET (M2) のサイズ比 (n対1) で高精度で決定され、FET (M2) には負荷電流  $I_{Load}$  の  $1/n$  の小電流が安定に流れる。そのため、このFET (M2) の電流経路に抵抗が十分に検出精度の高いパワー・センス抵抗を介挿して電流を検出する際に、パワー・センス抵抗における電力損失を小さく抑制できる。また、負荷電流制御用パワー・MOS・FET (M1) にはパワー・センス抵抗を介挿する必要がないので、負荷の両端に印加される電圧の損失が小さい。

【0013】請求項2の装置では、スイッチにより電流ミラー回路の一部をオン・オフすることにより、電流センス用パワー・MOS・FET (M2) に流れる電流をさらに異なる比率の小電流にミラーして電流検出を行うことができる。従って、例えばモータのように負荷の状態に応じて負荷電流が大きく変化する場合に、変化した負荷電流の大きさに対応したゲインで負荷電流を高精度で検出することができる。

【0014】

【実施例】図1は、請求項1に対応する本発明の実施例を示し、インテリジェント・パワー・MOS・ICにおいて、負荷電流を無損失で検出する半導体集積回路装置の一例である。負荷 (Load) のアース側に負荷電流  $I_{Load}$  を制御するためのパワー・MOS・FET (M1) が介挿され、このFET (M1) に流れる負荷電流  $I_{Load}$  を一定の比率で小電流にミラーする電流センス用パワー・MOS・FET (M2) がコモンゲート接続されている。この実施例のFET (M1) とFET (M2) は、いずれもnチャンネルMOSFETであって特性が近似したものである。また、M1とM2のサイズ比は

4

n対1であり、一例においては1000対1である。

【0015】オペアンプOP1とMOS・FET (M3) とによりフィードバック回路1が構成され、このフィードバック回路1により2つのFET (M1、M2) の端子電圧 (ドレイン・ソース間電圧) が一定化される。即ち、オペアンプOP1の非反転入力端子がFET (M1) のドレインに接続され、反転入力端子がFET (M2) のドレインに接続され、出力端子がFET (M3) のゲートに接続されている。このFET (M3) のソースはFET (M2) のドレインに接続され、FET (M3) の電源電圧  $V_{DD}$  側にパワー・センス抵抗  $R_S$  が介挿されている。このフィードバック回路1においては、オペアンプOP1の非反転入力端子の電圧と反転入力端子の電圧が常に一定となるように制御される。

【0016】次に図1の装置の作用について説明する。MOSFETの電流式は、一般に、リニア領域で動作する場合は下記数1、飽和領域で動作する場合は下記数2で示される。

【0017】

【数1】

$$\text{リニア領域} \quad I_{DS} = \beta \frac{W}{L} \left\{ (V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right\}$$

【0018】

【数2】

$$\text{飽和領域} \quad I_{DS} = \frac{\beta}{2} \frac{W}{L} (V_{GS} - V_{th})^2$$

ここで、 $I_{DS}$ はドレイン・ソース電流、 $\beta$ は構造係数であって  $\mu_e \varepsilon / d$  ( $\mu_e$ は移動度、 $\varepsilon$ は絶縁体の誘電率、 $d$ は絶縁体の厚さを示す。)、 $W$ はチャネルの幅、 $L$ はチャネルの長さ、 $V_{GS}$ はゲート・ソース間電圧、 $V_{th}$ はしきい値電圧、 $V_{DS}$ はドレイン・ソース間電圧を示す。

【0019】従来から知られているカレントミラー回路を用いて、あるMOS・FETに流れる電流を別のMOS・FETにミラーする場合には、MOS・FETが飽和領域で動作するため電流式は上記数2に従い、 $V_{DS}$ の影響を受けずに2つのMOS・FET間の  $W/L$  の比で電流がミラーされることはよく知られている。

【0020】ところが、あるパワー・MOS・FETに流れる電流を別のパワー・MOS・FETにミラーする場合には、パワー・MOS・FETはオン抵抗が小さく設計されるため、通常、 $V_{GS}$ は  $V_{DS}$  よりもはるかに大きく、リニア領域で動作することになり電流式は上記数1に従っている。つまり、 $I_{DS}$ は  $V_{DS}$  の影響を受けてしまい、図1のFET (M1) とFET (M2) を流れる電流の関係式は上記数1より、下記数3のようになる。

【0021】

50

(4)

5

6

【数3】

$$I_{DS}(M2) = I_{DS}(M1) \times \frac{\left[ \frac{W}{L} \right]_{M2} \cdot V_{DS}(M2) \left\{ (V_{GS} - V_{th}) - \frac{V_{DS}(M2)}{2} \right\}}{\left[ \frac{W}{L} \right]_{M1} \cdot V_{DS}(M1) \left\{ (V_{GS} - V_{th}) - \frac{V_{DS}(M1)}{2} \right\}}$$

この数3から、FET (M1) の  $V_{DS}(M1)$  と FET (M2) の  $V_{DS}(M2)$  とが等しくなるようにすれば ( $V_{DS}(M1) = V_{DS}(M2)$ )、FET (M1) の  $W/L$  と FET (M2) の  $W/L$  の比で電流をミラーすることができる。従って、オペアンプ OP1 と MOSFET (M3) からなるフィードバック回路1によりフィードバックをかけて FET (M1) と FET (M2) の  $V_{DS}$  を常に等しくすると、FET (M1) と FET (M2) のサイズ比が  $n$  対1であれば、FET (M2) 側に FET (M1) の負荷電流  $I_{Load}$  の  $1/n$  の電流が安定に流れる。

【0022】 以上のように図1に示した実施例によれば、負荷 (Load) の電流経路上にはパワー・センス抵抗を介挿する必要がないため、負荷の両端に印加される電圧の損失を生ずることなく、電流センス用 FET (M2) により負荷電流  $I_{Load}$  を高精度で検出することができる。しかも、FET (M2) の電流経路に検出精度を高めるために十分な抵抗のパワー・センス抵抗  $R_S$  を介挿しても FET (M2) に流れる電流が負荷電流の  $1/n$  と小電流であるため、パワー・センス抵抗  $R_S$  による電力の損失も小さく抑制される。

【0023】 図2は、請求項1に対応する他の実施例を示し、この例では FET (M1) と FET (M2) を電源電圧  $V_{DD}$  側に介挿したほかは、図1の実施例と同等である。このように FET (M1) と FET (M2) を電源電圧  $V_{DD}$  側に介挿しても図1に示した実施例と同様の作用効果が奏される。

【0024】 図3は、請求項2に対応する本発明の実施例を示し、インテリジェント・パワー・MOS・ICにおいて、負荷電流を無損失で検出する半導体集積回路装置の一例である。この実施例は、図1の実施例において、電流センス用パワー・MOS・FET (M2) に流れる電流をさらに一定の比率で小電流にミラーする電流ミラー回路2と、当該比率を可変にするために電流ミラー回路2の一部をオン・オフするスイッチ3とを付加したものである。

【0025】 この実施例の電流ミラー回路2は、従来公知のカレントミラー回路を利用して構成されている。即ち、pチャネルMOS・FET (M4) が電流センス用パワー・MOS・FET (M2) の電流経路上に介挿され、このFET (M4) に流れる電流をさらに一定の比

率で小電流にミラーするためのpチャネルMOS・FET (M5) 及びpチャネルMOS・FET (M6) がそれぞれFET (M4) にコモンゲート接続され、FET (M5) と FET (M6) とがコモンドレイン接続されている。そして、スイッチ3を構成するトランスファergeートTG1がFET (M6) のドレイン電流経路上に介挿されている。このトランスファergeートTG1はゲインコントロール信号によりFET (M6) をオン・オフ制御するためのものである。なお、G1はゲートである。また、パワー・センス抵抗  $R_S$  はFET (M5) のドレイン電流経路上に介挿されている。

【0026】 この実施例においては、さらに一定の比率で小電流にミラーする電流ミラー回路2と当該比率を可変にするためのスイッチ3を付加しているため、ゲインコントロール信号によりスイッチ3をオン・オフ制御することにより、電流ミラー比を切り替えることができる。従って、図1の実施例では、電流検出量の自由度が制限されるが、この実施例では、電流検出量の自由度が大きく、そのため、パワー・センス抵抗  $R_S$  を取り替えたり、切り替えたりすることをせずに、負荷電流が大きく変化する場合に、変化した負荷電流の大きさに対応したゲインで負荷電流を高精度で検出することができる。

【0027】 この実施例は、特に、ハードディスクドライブ (HDD) 用スピンドルモータドライバやボイスコイルモータドライバに使用されるインテリジェント・パワー・MOS・ICに適用する場合に顕著な効果を奏する。即ち、モータの回転起動時には大きな負荷電流を流し、モータの定常回転時には小さな負荷電流を流すため、電流ミラー回路2によりモータの回転起動時には検出電流を小さく切り替えて検出精度を高くすることができる。

【0028】 図4は、請求項2に対応する他の実施例を示し、この例は、図2の実施例に対して図3の電流ミラー回路2及びスイッチ3を付加したものである。即ち、カレントミラー回路を構成するFET (M4) を電流センス用パワー・MOS・FET (M2) のアース側に接続した例である。この図4の実施例においても図3の実施例と同様の作用効果が奏される。

【0029】 図5は、図3の実施例において電流ミラー比を切り替える場所をゲート側に変更した場合の実施例である。即ち、図3では電流ミラー比の切り替えはドレ

(5)

7

イン側で行っているが、この実施例では、2つのトランスファークラーク（TG1、TG2）とゲートG1を用いて、FET（M5、M6）のゲート側で電流ミラー比を切り替えるようにしている。この実施例においても図3の実施例と同様の作用効果が奏される。

【0030】図6は、図4の実施例において電流ミラー比を切り替える場所をゲート側に変更した場合の実施例である。この実施例においても図4の実施例と同様の作用効果が奏される。

【0031】なお、図3から図6の実施例において、3つのFET（M4、M5、M6）からなるカレントミラー回路に対してさらに同様のカレントミラー回路を多段に接続すれば、ゲインの切り替え段数をさらに増加させることができる。

【0032】以上、本発明の実施例について説明したが、本発明においては、カレントミラー回路を用いて電流ミラー回路を構成したが、電流ミラー回路は、カレントミラー回路を用いる場合に制限されず、他の代替手段を用いることができる。

【0033】

【発明の効果】本発明によれば、以下の効果が奏される。

(1) 負荷電流制御用パワー・MOS・FET（M1）の電流経路上にはパワー・センス抵抗を介挿する必要があるが、負荷の両端に印加される電圧の損失が小さい。

(2) 電流センス用パワー・MOS・FET（M2）に流れる電流が小さいので、この電流経路に抵抗が十分で検出精度の高いパワー・センス抵抗を介挿して電流検出する際のパワー・センス抵抗における電力損失が小さい。

(3) 負荷電流の経路とは別の経路に負荷電流をミラーして検出電流を取り出すため、検出電流を処理する自由度が高い。

(4) さらに一定の比率で小電流にミラーする電流ミラー回路と当該比率を可変にするためのスイッチを設けて、電流センス用パワー・MOS・FET（M2）に流れる電流を異なる比率の小電流にミラーして電流検出を

8

行うので、負荷電流が大きく変化する場合に变化した負荷電流の大きさに対応したゲインに切り替えて負荷電流を高精度で検出することができる。

(5) 負荷電流制御用パワー・MOS・FET（M1）のサイズを電流センス用パワー・MOS・FET（M2）のサイズよりもはるかに大きくできるので、電流センス用パワー・MOS・FET（M2）における消費電力は小さい。

【図面の簡単な説明】

【図1】請求項1に対応する本発明の実施例の説明図である。

【図2】請求項1に対応する本発明の他の実施例の説明図である。

【図3】請求項2に対応する本発明の実施例の説明図である。

【図4】請求項2に対応する本発明の他の実施例の説明図である。

【図5】請求項2に対応する本発明のさらに他の実施例の説明図である。

【図6】請求項2に対応する本発明のさらに他の実施例の説明図である。

【図7】従来の電流検出装置の一例を示す説明図である。

【図8】従来の電流検出装置の他の例を示す説明図である。

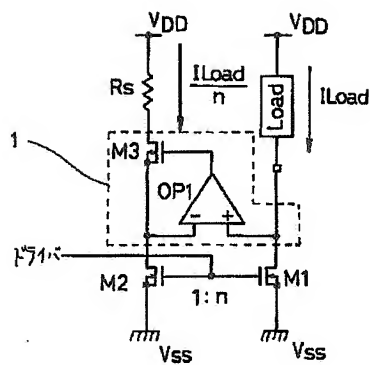
【図9】従来の電流検出装置のさらに他の例を示す説明図である。

【符号の説明】

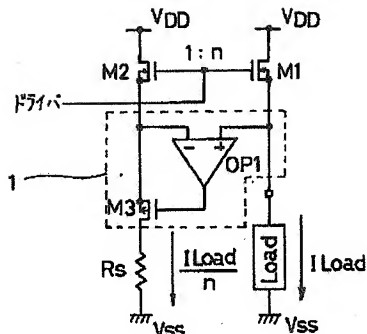
M1	負荷電流を制御するためのパワー・MOS・FET
M2	電流センス用パワー・MOS・FET
M3	MOS・FET
OP1	オペアンプ
Load	負荷
1	フィードバック回路
2	電流ミラー回路
3	スイッチ
M4、M5、M6	MOS・FET

(6)

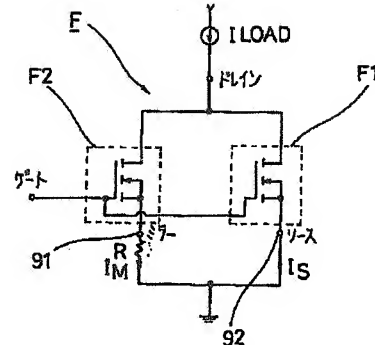
【図 1】



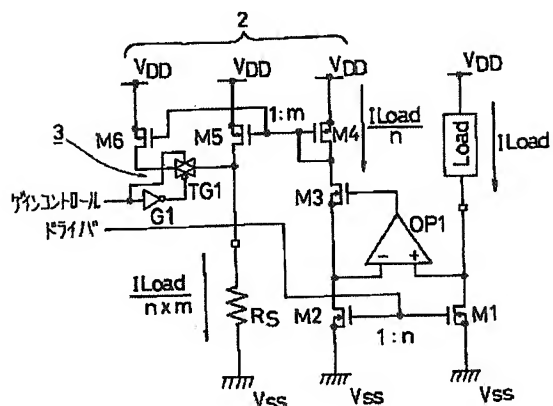
【図 2】



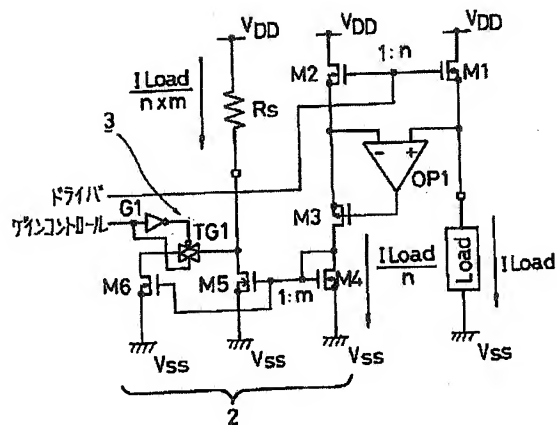
【図 9】



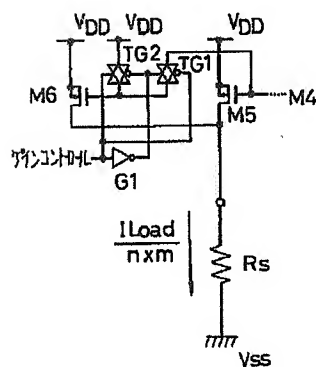
【図 3】



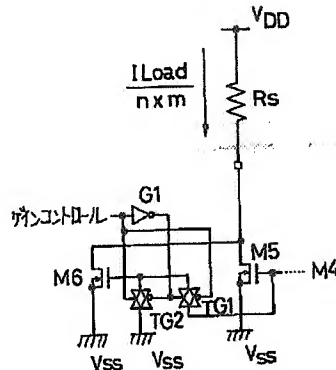
【図4】



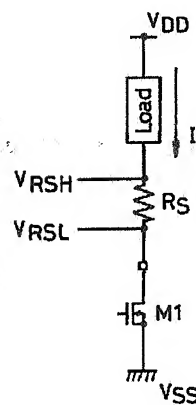
【図 5】



【図 6】



【図7】



【図 8】

